



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09163138 A**(43) Date of publication of application: **20.06.97**

(51) Int. Cl.

H04N 1/405(21) Application number: **07345194**(22) Date of filing: **07.12.95**(71) Applicant: **RICOH CO LTD**(72) Inventor:
**ISHIDA MASAOKI
EMA HIDETOSHI
MASUI NARIHIRO**(54) **IMAGE FORMING DEVICE**

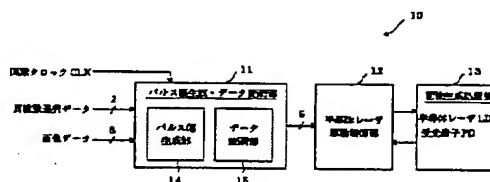
image.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To form an image with high quality at a high speed by applying pulse width modulation and power (luminous intensity) modulation to a semiconductor laser.

SOLUTION: A pulse width generating section 14 of a pulse width generation data modulation section 11 in an image forming device is made up of a phase locked loop PLL and generates clock signals with plural phases with a multiple of N synchronously with a picture element clock CLK. A data modulation section 15 generates pulse width/power mixture modulation data being pulses having two kinds of pulse widths corresponding to a content of image data within the pulse width designated by frequency selection data from the generated pulse and provides an output of the data to a semiconductor laser drive control section 12. The semiconductor laser drive control section 12 applies pulse width modulation and power (luminous intensity) modulation to a semiconductor laser LD of an image generation processing section 13 based on the pulse width/power mixture data to form an



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-163138

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl.⁸

H 0 4 N 1/405

識別記号

庁内整理番号

F I

H 0 4 N 1/40

技術表示箇所

B

審査請求 未請求 請求項の数7 F D (全 23 頁)

(21) 出願番号

特願平7-345194

(22) 出願日

平成7年(1995)12月7日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 石田 雅章

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 江岡 秀利

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72) 発明者 増井 成博

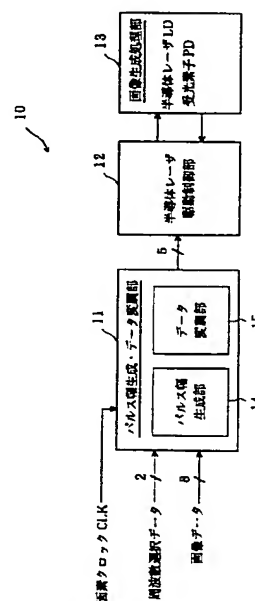
東京都大田区中馬込1丁目3番6号 株式会社リコー内

(54) 【発明の名称】 画像形成装置

(57) 【要約】

【課題】 本発明は半導体レーザをパルス幅変調及びパワー変調して高速に高品質の画像を形成することのできる画像形成装置を提供する。

【解決手段】 画像形成装置10は、パルス幅生成・データ変調部11のパルス幅生成部14がPLLにより構成され、画素クロックCLKに同期しN倍した複数の位相のクロックを生成し、このパルスをデータ変調部15が周波数選択データで指定されたパルス幅内で画像データの内容に対応した2種類のパルス幅を有したパルスであるパルス幅・パワー混合変調データを生成して、半導体レーザ駆動制御部12に出力する。半導体レーザ駆動制御部12は、このパルス幅・パワー混合変調データに基づいて画像生成処理部13の半導体レーザLDをパルス幅変調及びパワー（光強度）変調して、画像を形成する。



【特許請求の範囲】

【請求項1】複数の位相を有するパルスを生成するパルス幅生成手段と、

入力される画像データに基づいて、前記パルス幅生成手段の生成したパルスから複数のパルス幅のパルスを生成するデータ変調手段と、

レーザ光を出射する半導体レーザと、

前記データ変調手段の生成したパルスに基づいて、前記半導体レーザをパルス幅変調及び光強度変調する駆動・制御手段と、

前記半導体レーザの出射したレーザ光を主走査方向に走査する走査手段と、

を備え、

前記パルス幅生成手段は、PLLシンセサイザにより前記画像データに基づいて前記複数のパルス幅のパルスを生成することを特徴とする画像形成装置。

【請求項2】前記データ変調手段は、

前記画像データとともに、1ドット当たりのパルス幅を指定する周波数選択データが入力され、該周波数選択データに基づいて1ドット当たりのパルス幅を設定するとともに、当該設定されたパルス幅内で前記画像データに基づいて前記パルス幅生成手段の生成したパルスから複数のパルス幅の前記パルスを生成して、1ドット当たりの階調数と書き密度を相対的に調整することを特徴とする請求項1記載の画像形成装置。

【請求項3】前記データ変調手段と前記走査手段に、1ドット当たりのパルス幅を指定する周波数選択データが入力され、

前記データ変調手段は、

前記周波数選択データに基づいて1ドット当たりのパルス幅を設定するとともに、当該設定されたパルス幅内で前記画像データに基づいて前記パルス幅生成手段の生成したパルスから複数のパルス幅の前記パルスを生成して、1ドット当たりの階調数を相対的に調整し、

前記走査手段は、

前記周波数選択データに基づいて、その走査速度を変化させ、

前記周波数選択データが低い周波数を指定しているときには、前記走査手段が、当該走査速度を低速にするとともに、前記データ変調手段が、1ドット当たりの階調数を増加させ、前記周波数選択データが高い周波数を指定しているときには、前記走査手段が、当該走査速度を高速にするとともに、前記データ変調手段が、1ドット当たりの階調数を減少させることを特徴とする請求項1記載の画像形成装置。

【請求項4】前記データ変調手段は、

前記画像データとともに、1ドット毎の前記パルスの位相を指定する位相選択データが入力され、前記画像データに基づいて前記パルス幅生成手段の生成したパルスから複数のパルス幅のパルスを生成するとともに、該位相

選択データに基づいて1ドット毎のパルスの位相を設定することを特徴とする請求項1から請求項3のいずれかに記載の画像形成装置。

【請求項5】前記データ変調手段は、

シェーディング補正データを記憶する記憶手段を、さらに備え、

所定タイミングで前記シェーディング補正データを前記記憶手段に記憶して、前記記憶手段に記憶するシェーディング補正データに基づいて前記パルス幅を補正して、シェーディング補正することを特徴とする請求項1から請求項4のいずれかに記載の画像形成装置。

【請求項6】前記データ変調手段は、

前記パルス幅変調及び光強度変調されたパルスを各ドットにおいて右基準、左基準、あるいは、中央基準等の何れの位置を基準として発生させるかを指定する位置選択データが入力され、

前記位置選択データに対応した位置を基準とする前記パルスの生成を行うことを特徴とする請求項1から請求項5のいずれかに記載の画像形成装置。

【請求項7】前記データ変調手段は、

前記位置選択データを記憶する位置データ記憶手段と、1ページ毎あるいは1ライン毎に入力されるコマンド信号によりコマンド入力モードと画像入力モードを判別し、コマンド信号がコマンド入力モードを指定しているとき、前記入力される位置選択データを前記位置データ記憶手段に記憶し、前記コマンド信号が前記画像入力モードを指定しているとき、前記位置データ記憶手段に記憶されている前記位置選択データに基づいて、前記画像データを遅延させて出力させるデータ位置制御手段と、

を備え、前記データ位置制御手段により遅延された画像データに基づいて、前記パルスを生成することにより、前記位置選択データに対応した位置を基準とする前記パルスの生成を行うことを特徴とする請求項6記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像形成装置に関し、詳細には、レーザプリンタ、光ディスク装置、デジタル複写機及び光通信装置等における光源として用いられる半導体レーザの光出力を制御及び変調する画像形成装置に関する。

【0002】

【従来の技術】半導体レーザは、極めて小型で、駆動電流により高速に直接変調を行うことが可能であることから、近年、レーザプリンタ、光ディスク装置、デジタル複写機及び光通信装置等の光源として広く利用されている。

【0003】ところが、半導体レーザの駆動電流と光出力の関係は、温度により著しく変化するため、半導体レーザを使用する場合、半導体レーザの光強度を所望の値

に如何に設定・制御するかが重要な課題となる。

【0004】そこで、従来、半導体レーザの光強度を所望の値に設定して、半導体レーザの利点を生かすために、特開平2-205086号公報に記載されている半導体レーザの制御方式が提案されている。

【0005】これは、半導体レーザの光出力を受光素子によりモニターし、その出力と発光レベル指令信号とが等しくなるように、常時半導体レーザの順方向電流を制御する光電気負帰還ループと、発光レベル指令信号を半導体レーザの順方向電流に変換する変換手段と、を有し、前記光電気負帰還ループの制御電流と前記変換手段により生成された電流の和または差の電流によって半導体レーザの光出力を制御している。

【0006】

【発明が解決しようとする課題】しかしながら、従来の半導体レーザの制御方式を用いた画像形成装置にあっては、多値画像を出力する画像形成装置においては、優れた特性を示すが、2値画像を出力する場合には、多階調出力用データの全てに2値、すなわち、0か1を入力して画像を形成することとなり、本来2値画像のみを出力する出力装置に比較すると、処理速度が遅くなるという問題があった。

【0007】そこで、請求項1記載の発明は、パルス幅・パワー変調により、高速に、かつ、高品位の画像の形成を行うことのできる画像形成装置を提供することを目的としている。

【0008】請求項2記載の発明は、階調数と書込密度を制御して、画像の内容に対応した適切で、高品質の画像を高速に形成することのできる画像形成装置を提供することを目的としている。

【0009】請求項3記載の発明は、階調数と書込速度を制御して、画像内容に対応して、階調度と書込速度を適切に制御することのできる画像形成装置を提供することを目的としている。

【0010】請求項4記載の発明は、パルスの位相変化させて、形成する画像に適したドット位置にドットを形成することのできる画像形成装置を提供することを目的としている。

【0011】請求項5記載の発明は、高速かつ適切にシェーディング補正を行うことのできる画像形成装置を提供することを目的としている。

【0012】請求項6記載の発明は、各ドット内で指定した位置でパルス発生させて、形成する画像に適した位置からドットを形成することのできる画像形成装置を提供することを目的としている。

【0013】請求項7記載の発明は、簡単な回路構成で、パルスの各ドット内での基準位置を指定することのできる画像形成装置を提供することを目的としている。

【0014】

【課題を解決するための手段】請求項1記載の発明の画

像形成装置は、複数の位相を有するパルスを生成するパルス幅生成手段と、入力される画像データに基づいて、前記パルス幅生成手段の生成したパルスから複数のパルス幅のパルスを生成するデータ変調手段と、レーザ光を出射する半導体レーザと、前記データ変調手段の生成したパルスに基づいて、前記半導体レーザをパルス幅変調及び光強度変調する駆動・制御手段と、前記半導体レーザの出射したレーザ光を主走査方向に走査する走査手段と、を備え、前記パルス幅生成手段は、PLLシンセサイザにより前記画像データに基づいて前記複数のパルス幅のパルスを生成することにより、上記目的を達成している。

【0015】ここで、パルス幅生成手段は、PLL (Phase Locked Loop) シンセサイザにより、半導体レーザをパルス幅変調及び光強度変調するのに必要な複数の位相を有する所定周期のパルスを生成し、このパルスは、画像データの画素クロックに、その位相が同期している。

【0016】データ変調手段は、パルス幅生成手段の生成した複数の位相のパルスを画像データにより、半導体レーザをパルス幅変調及び光強度変調するための複数(例えば、2種類)のパルス幅のパルスを生成する。

【0017】駆動制御手段は、例えば、光電気負帰還ループ及び半導体レーザの順方向直流電流を直接制御することにより、半導体レーザの駆動・制御を行うが、半導体レーザの駆動・制御方法は、上記の方法に限るものではない。

【0018】走査手段は、半導体レーザから出射されたレーザ光を主走査及び副走査することにより、画像を形成する。

【0019】上記構成によれば、半導体レーザを安定したパルス幅変調を基調として、光強度変調でその移り変わり部分を補間するための複数の位相を有するパルスをPLLを用いて生成することができ、高品質の画像を、高速に形成することができる。

【0020】この場合、例えば、請求項2に記載するように、前記データ変調手段は、前記画像データとともに、1ドット当たりのパルス幅を指定する周波数選択データが入力され、該周波数選択データに基づいて1ドット当たりのパルス幅を設定するとともに、当該設定されたパルス幅内で前記画像データに基づいて前記パルス幅生成手段の生成したパルスから複数のパルス幅の前記パルスを生成して、1ドット当たりの階調数と書込密度を相対的に調整するものであってもよい。

【0021】ここで、周波数選択データは、1ドット当たりのパルス幅を指定するものであり、パルス幅は、1ドット当たりの階調数と書込密度を相対的に決定するもの時ある。

【0022】すなわち、1ドット当たりの階調数を高くして、書込密度を低くするときには、周波数選択データ

によりパルス幅を広く指定し、階調数を低くして、書込密度を高くするときには、周波数選択データによりパルス幅を狭く指定する。

【0023】データ変調手段は、この周波数選択データで指定されたパルス幅内で、前記パルスを生成する。

【0024】上記構成によれば、周波数選択データによりパルス幅を指定することにより、階調数と書込密度を容易に制御することができ、画像の内容に対応した適切で、高品質の画像を高速に形成することができる。

【0025】また、例えば、請求項3に記載するように、前記データ変調手段と前記走査手段に、1ドット当たりのパルス幅を指定する周波数選択データが入力され、前記データ変調手段は、前記周波数選択データに基づいて1ドット当たりのパルス幅を設定するとともに、当該設定されたパルス幅内で前記画像データに基づいて前記パルス幅生成手段の生成したパルスから複数のパルス幅の前記パルスを生成して、1ドット当たりの階調数を相対的に調整し、前記走査手段は、前記周波数選択データに基づいて、その走査速度を変化させ、前記周波数選択データが低い周波数を指定しているときには、前記走査手段が、当該走査速度を低速にするとともに、前記データ変調手段が、1ドット当たりの階調数を増加させ、前記周波数選択データが高い周波数を指定しているときには、前記走査手段が、当該走査速度を高速にするとともに、前記データ変調手段が、1ドット当たりの階調数を減少させるものであってもよい。

【0026】ここで、走査手段は、例えば、ポリゴンミラーにより主走査するものであるときには、ポリゴンミラーの回転速度を周波数選択データにより指定されたパルス幅に対応した速度で変化させる。なお、走査手段は、上記方法のものに限るものでないことは、言うまでもない。

【0027】上記構成によれば、周波数選択データによりパルス幅を指定することにより、階調数と書込速度を容易に制御することができ、画像内容に対応して、高階調度の高品質の画像を形成することができるとともに、階調度が低くなるに従って書込速度を向上させることができる。

【0028】さらに、例えば、請求項4に記載するように、前記データ変調手段は、前記画像データとともに、1ドット毎の前記パルスの位相を指定する位相選択データが入力され、前記画像データに基づいて前記パルス幅生成手段の生成したパルスから複数のパルス幅のパルスを生成するとともに、該位相選択データに基づいて1ドット毎のパルスの位相を設定するものであってもよい。

【0029】ここで、位相選択データは、1ドット内で半導体レーザのレーザ光のパルスの出射位置を主走査方向にシフトさせるものである。

【0030】上記構成によれば、位相選択データによりパルスの位相、すなわち、発生開始位置をシフトさせる

ことができ、形成する画像に適したドット位置にドットを形成することができる。その結果、斜線等の画像をより一層高品質に、かつ、高速に形成することができる。

【0031】また、例えば、請求項5に記載するように、前記データ変調手段は、シェーディング補正データを記憶する記憶手段を、さらに備え、所定タイミングで前記シェーディング補正データを前記記憶手段に記憶して、前記記憶手段に記憶するシェーディング補正データに基づいて前記パルス幅を補正して、シェーディング補正するものであってもよい。

【0032】上記構成によれば、高速に、かつ、適切にシェーディング補正を行うことができ、画像品質をより一層向上させることができる。

【0033】さらに、例えば、請求項6に記載するように、前記データ変調手段は、前記パルス幅変調及び光強度変調されたパルスを各ドットにおいて右基準、左基準、あるいは、中央基準等の何れの位置を基準として発生させるかを指定する位置選択データが入力され、前記位置選択データに対応した位置を基準とする前記パルスの生成を行うものであってもよい。

【0034】ここで、位置選択データは、パルスを各ドット内で、どの位置を基準にどの方向に発生させるかを指定するものである。

【0035】上記構成によれば、位置選択データにより指定した位置を基準に各ドット内でパルスを発生させることができ、形成する画像に適した位置から画像に適した方向にドットを形成することができる。その結果、斜線等の画像をより一層高品質に、かつ、高速に形成することができる。

【0036】また、例えば、請求項7に記載するように、前記データ変調手段は、前記位置選択データを記憶する位置データ記憶手段と、1ページ毎あるいは1ライン毎に入力されるコマンド信号によりコマンド入力モードと画像入力モードを判別し、コマンド信号がコマンド入力モードを指定していると、前記入力される位置選択データを前記位置データ記憶手段に記憶し、前記コマンド信号が前記画像入力モードを指定していると、前記位置データ記憶手段に記憶されている前記位置選択データに基づいて、前記画像データを遅延させて出力させるデータ位置制御手段と、を備え、前記データ位置制御手段により遅延された画像データに基づいて、前記パルスを生成することにより、前記位置選択データに対応した位置を基準とする前記パルスの生成を行うものであってもよい。

【0037】上記構成によれば、簡単な回路構成で、1ページ毎あるいは1ライン毎に位置選択データによりパルスの各ドット内での基準位置を指定して、画像を形成することができ、安価に、かつ、容易に高品質の画像を形成することができる。

【0038】

【発明の実施の形態】まず、本発明の基本原理について、図1～図5に基づいて、以下説明する。

【0039】通常、レーザプリンタ等の半導体レーザを用いた画像形成装置においては、1ドット内で多階調の出力を得る手法として、パルス幅変調方式やパワー変調方式等があるが、本発明では、パルス幅・パワー混合変調方式を用いている。

【0040】このパルス幅・パワー混合変調方式は、基本的に2値記録方式であり、印字プロセスに対して安定しているパルス幅変調方式を基調とし、その移り

10 変わり部をパワー（光強度）変調方式により補間する方式である。

【0041】このパルス幅・パワー混合変調方式は、同じ階調数を実現する場合、それぞれ単独の変調方式により変調したときに比較して、必要となるパルス幅数、パワー値数を組み合わせて低減することで、それぞれの変調に必要な回路構成を容易に達成できるとともに、印字プロセスに対して安定であると同時に、回路の集積化に適しており、小型化・ローコスト化を図ることができるという特徴がある。

【0042】このパルス幅・パワー変調方式による画像形成装置1は、図1に示すように、半導体レーザ制御・変調処理部2と画像生成処理部3等を備えており、半導体レーザ制御・変調処理部2は、パルス幅生成・データ変調部4と半導体レーザ駆動・制御部5等を備えている。

【0043】パルス幅生成・データ変調部4には、画像データとセレクト信号が入力され、パルス幅生成・データ変調部4は、入力される画像データに基づいて、パルス幅変調方式を基調とし、その移り変わり部を光強度変調で補間することにより、パルス幅変調したデータDATAを生成して、半導体レーザ駆動・制御部5に出力する。

【0044】上記半導体レーザ駆動・制御部5及び画像生成処理部3は、図2に示すように、2つの電流源D1、D2、反転増幅器OP1、トランジスタTr1、半導体レーザLD及び受光素子PD等を備えており、電流源D1、D2にそれぞれパルス幅生成・データ変調部4からパルス変調されたデータDATAが入力される。

【0045】電流源D1の電流ID1は、反転増幅器OP1、半導体レーザLD及び受光素子PDを介して光電流負帰還ループを形成し、電流源D2の電流ID2は、半導体レーザLDの順方向電流となっている。

【0046】したがって、図3（a）に示す光電流負帰還ループのみによる半導体レーザLDの光強度と時間との関係に比較して、図3（b）に示すように、高速に半導体レーザLDを駆動することができるとともに、データDATAによりその駆動を制御することができる。

【0047】すなわち、画像生成処理部3は、上述のように、半導体レーザLDや受光素子PDを備えるとともに、半導体レーザLDから出射されたレーザ光を主走査

方向に走査するポリゴンミラーやその他の光学系からなるポリゴンスキャナを備えており、半導体レーザLDから出射されたレーザ光により画像を形成する。

【0048】そして、この半導体レーザLDの出力波形は、パルス幅を3値、パワー値を6値の計18階調を出力する場合の半導体レーザLDの光出力波形を、図4に模式的に示すように、画像データによりパルス幅変調を基本として変調され、その移り変わり部がパワー変調されたものとなっている。

10 【0049】この場合、図4から分かるように、中間露光領域においては、最小パルス幅で出力する必要がある。

【0050】そこで、図5に、パルス幅を左寄せで出す場合（a）と、パルス幅を右寄せで出す場合（b）と、を示すように、パルス幅をPMとすると、PMとPM+ ΔP M（ ΔP Mは、最小パルス幅）の2パルスを生成すればよいことが分かる。

【0051】このパルスの変調処理をパルス幅生成・データ変調部4により行っている。

20 【0052】このように、パルス幅変調・パワー変調方式によれば、半導体レーザLDの光出力を高速にパルス幅及びパワー変調することができる。

【0053】上記基本原則を前提として、以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。

【0054】尚、以下に述べる実施の形態は、本発明の好適な実施の形態であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【0055】図6～図21は、本発明の画像形成装置の第1の実施の形態を示す図であり、本実施の形態は、請求項1及び請求項2に対応するものである。なお、本実施の形態の説明において、上記基本原則において説明した内容と同様の内容については、その説明を省略する。

【0056】図6において、画像形成装置10は、パルス幅生成・データ変調部11、半導体レーザ駆動制御部12及び画像生成処理部13等を備えており、パルス幅生成・データ変調部11は、パルス幅生成部14とデータ変調部15等を備えている。

【0057】パルス幅生成・データ変調部11には、図示しない画像形成装置10の制御部等から画素クロックCLK、周波数選択データ及び画像データが入力され、周波数選択データは、3ビットデータで、画像データは、8ビットデータである。

【0058】パルス幅生成・データ変調部11のパルス幅生成部14は、例えば、図7に示すように回路構成されており、7個のDフリップフロップFF1～FF7、7個の遅延回路DL1～DL7、マルチプレクサMP及び図示しない付加回路等を備えている。

【0059】各DフリップフロップFF1～FF7は、周期Tの画素クロックCLKが、そのクロック入力端子CLKに、一定電圧VDが、そのデータ入力端子Dに、各遅延回路DL1～DL7の遅延出力が、そのリセット端子Rに、それぞれ入力されている。

【0060】各遅延回路DL1～DL7は、各DフリップフロップFF1～FF7の出力端子Qに接続されており、DフリップフロップFF1～FF7の出力をそれぞれ $T/8$ 、 $2T/8$ 、 \dots 、 $7T/8$ 時間遅延させて、上記DフリップフロップFF1～FF7のリセット

端子Rに出力する。

【0061】したがって、各DフリップフロップFF1～FF7は、画素クロックCLKをそれぞれ $T/8$ 、 $2T/8$ 、 \dots 、 $7T/8$ 時間遅延させて、図8に示すようなパルス幅変調した画像データパルスPW0'～PW7'を生成して、その出力端子QからマルチプレクサMPに出力する。

【0062】マルチプレクサMPには、さらに、画像データの上位3ビットであるパルス幅変調データが入力されており、マルチプレクサMPは、上記各DフリップフロップFF1～FF7から入力される画像データパルスPW0'～PW7'から2種類のパルス幅XTとパルス幅 $(X+1)T$ の画像データパルスPW0'～PW7'を選択して、論理和や論理積を演算処理する付加回路に出力し、この付加回路は、マルチプレクサMPで選択された2種類のパルス幅XTとパルス幅 $(X+1)T$ の画像データパルスPW0'～PW7'の論理和や論理積を演算処理して、図9に示すような $T/8$ のパルス幅の画像データパルスPW0～PW7を生成する。パルス幅生成・データ変調部11は、この画像データパルスPW0～PW7を、図6に示したデータ変調部15に出力する。

【0063】また、パルス幅生成・データ変調部11のパルス幅生成部14は、図10に示すように、PLL(Phase Locked Loop)20を用いて構成することができ、位相比較器21、ローパスフィルタ22、電圧制御発振器23及び $1/N$ 分周器24を備えている。

【0064】位相比較器21には、周波数Fs(周期T)の画素クロックCLKが入力され、PLL20は、一般に既知であるように、電圧制御発振器23の出力の周波数と位相の $1/N$ 分周したものが入力信号である画素クロックCLKに同期するようにフィードバック制御する。

【0065】すなわち、 $1/N$ 分周器24は、電圧制御電圧発振器23の出力Foを $1/N$ 分周して、位相比較器21に出力し、位相比較器21は、画素クロックCLKと $1/N$ Foの位相を比較して、その誤差成分をローパスフィルタ22に出力する。ローパスフィルタ22は、位相比較器21から入力される誤差成分に含まれている不要な成分や雑音を取り除き、電圧制御発振器23

に出力する。電圧制御発振器23は、ローパスフィルタ22を介して位相比較器21から入力される誤差成分によりその発振周波数と位相が制御され、入力信号である画素クロックCLKの周波数と位相を $1/N$ 分周したものに对应する周波数Foの出力をデータ変調部15に出力する。

【0066】したがって、PLL20を用いてパルス幅生成部14を構成すると、図7に示したDフリップフロップFF1～FF7、遅延回路DL1～DL7、マルチプレクサMP及び論理和や論理積を演算処理する付加回路を用いてパルス幅生成・データ変調部11を構成した図7の場合のように、画像データパルスPW0'～PW7'を生成した後、これらの論理和や論理積を付加回路で演算して画像データパルスPW0～PW7を生成することなく、直接、画像データパルスPW0～PW7を生成することができ、付加回路を削除することができるとともに、画素クロックCLKが変化しても、画素クロックCLKに追従して、画素クロックCLKの通倍(N倍)の画像データパルスPW0～PW7を生成することができる。

【0067】その結果、パルス幅生成・データ変調部11の回路素子を削減して、パルス幅生成・データ変調部11の回路構成を簡単、かつ、安価なものとすることができる。とともに、適応範囲を広げることができる。

【0068】パルス幅生成・データ変調部11のデータ変調部15は、図11に示すように構成され、PWM回路31、データ制御回路32、データ変調回路33等を備えている。

【0069】パルス幅生成部14は、上記図7あるいは図10に示したように、画素クロックCLKをN倍したパルスを生成して、データ変調部15のPWM回路31に出力する。

【0070】データ制御回路32には、8ビットの画像データと周波数選択データが入力され、データ制御回路32は、画像データと周波数選択データにより、種々のデータ制御を行うが、特に、8ビット階調データ(上位3ビットでパルス幅変調データを生成し、下位5ビットでパワー変調データを生成)を出力したり、4ビット階調データ(上位2ビットでパルス幅変調データ、下位2ビットでパワー変調データを生成)を出力する。

【0071】PWM回路31には、上記パルス幅生成部14からの画素クロックCLKをN倍したパルスが入力されるとともに、周波数選択データ及びデータ制御回路32の出力するパルス幅変調データが入力され、PWM回路31は、パルス幅変調データと周波数選択データに基づいてパルス幅生成部14から入力されるパルスのパルス幅を決定して、データ変調回路33に出力する。

【0072】データ変調回路33には、PWM回路31

から上記パルス幅決定されたパルスとデータ制御回路32からパワー変調用データが入力され、データ変調回路33は、このパワー変調用データをPWM回路31から入力されるパルスに基づいてパルス幅変調して、結果として5ビットのパルス幅・パワー混合変調データ（画像データパルス）を図6に示した半導体レーザ駆動制御部12に出力する。

【0073】半導体レーザ駆動制御部12及び画像生成処理部13は、基本原理の半導体レーザ駆動制御部5及び画像生成処理部3と同様に構成されており、画素生成処理部13は、半導体レーザLDや受光素子PD等を備えるとともに、図示しないが、半導体レーザLDの出射したレーザ光を主走査するポリゴンミラーや $f\theta$ レンズその他の光学系及び感光体等のポリゴンスキャナ等を備えている。半導体レーザ駆動制御部12及び画像生成処理部13は、基本原理で説明したように、半導体レーザ駆動制御部12によりパルス幅生成・データ変調部11から入力される画像データパルスに基づいて半導体レーザLDが駆動制御されて、上記ポリゴンスキャナにより画像を形成するとともに、受光素子PDで半導体レーザLDの出射光を受光して、基本原理で説明したように、半導体レーザLDのフィードバック制御を行う。

【0074】次に、作用を説明する。

【0075】画像形成装置10は、そのパルス幅生成・データ変調部11に画素クロックCLK、2ビットの周波数選択データ及び8ビットの画像データが入力され、パルス幅生成・データ変調部11は、これらに基づいて画像データパルスPW0～PW7を生成して、半導体レーザ駆動制御部12に出力する。なお、以下の説明においては、画素クロックCLKをF（MHz）（ $=1/T$ ）、入力される画像データが、8ビット、変調方式が、パルス幅を3ビット（8階調）、パワー（光強度）を5ビット（32階調）のトータル256階調の混合変調を行うものとする。

【0076】いま、周波数選択データがないか、若しくは一番低い周波数（F（MHz））が選択されている場合を想定すると、図12に示すように、画像データは、周期T毎に画像データD0～D7が入力され、パルス幅・パワー混合変調を受けた後、その画像データの内容に応じて、図13に示すような半導体レーザLDの光出力と1ドット毎のドットイメージが得られる。

【0077】このドットイメージは、例えば、図13の左端の画像データD0として、例えば、図14に示すように、10010000（D07が上位ビット、D00が下位ビットである。）が入力されたとなると、パルス幅生成・データ変調部11は、上位3ビットでパルス幅変調を行い、下位5ビットでそのパルス幅を補間する。したがって、パルス幅生成・データ変調部11は、図14において、 $T/8$ パルスとして、4（100）を選択し、補間する $T/8$ パルスの出力として、ピークパワー

を1とすると、 $16/32$ （10000）を選択するので、光出力としては、図15に画像データD0を拡大して詳細に示すように、 $4 \times T/8$ のパルス幅で、その移り変わり部にピークパワーの半分の光出力の $T/8$ のパワー（光強度）変調されたパルスの光出力が得られる。

【0078】次に、周波数選択データにより画素クロックCLKを2F（MHz）に設定する場合について、図16～図19に基づいて説明する。

【0079】上述のように、パルス幅生成・データ変調部11には、F（MHz）の画素クロックCLK、2ビットの周波数選択データ及び8ビットの画像データが入力される。この場合、例えば周波数選択データにより画素クロックCLKが2F（MHz）に選択されても、画像データの転送レートは、F（MHz）の画素クロックCLKと画像データ8ビットにより決定されるので、一定である。

【0080】ところが、図16に示したように、パルス幅生成・データ変調部11は、周波数選択データにより画素クロックCLKが2F（MHz）に選択された場合、D00～D03を画像データD0のデータ、D10～D13を画像データD1のデータとして受け取る。

【0081】したがって、画像データD0、D1のデータ量は、それぞれ4ビットでトータル16階調となるが、画像書込密度は、2倍になる。

【0082】ここで、トータル16階調を、パルス幅が2ビット（4階調）、パワーが2ビット（4階調）の混合変調により行う場合、上記パルス幅生成に関しては、周波数選択データにより画素クロックCLKがF（MHz）に選択された場合のパルス幅3ビットと、周波数選択データにより画素クロックCLKが2F（MHz）に選択された場合のパルス幅（2ビット）とは、最小パルス幅は同じであるので、上記パルス幅生成・データ変調部11により適切に生成することができる。

【0083】また、パワー変調データは、もともと5ビット所有しており、上位1ビットと下位4ビットに分割することにより、2ビット（4階調）を容易に実現することができる。この場合の光出力及びドットイメージは、図17のように示され、図18に示すように、画像データD0のデータD00～D03が（1010）で、画像データD1のデータD10～D13が（0111）であるとなると、その光出力波形は、図19に拡大して示すようになる。

【0084】すなわち、周波数選択データにより画素クロックCLKを2F（MHz）に設定すると、図16から図19から分かるように、主走査方向には、階調数は、8ビットから4ビットに減少するが、書込密度が2倍になる。

【0085】次に、周波数選択データにより画素クロックCLKを4F（MHz）に設定する場合について、図20及び図21に基づいて説明する。

【0086】パルス幅生成・データ変調部11は、周波数選択データにより4F(MHz)が選択されると、D00~D01を画像データD0のデータ、D10~D11を画像データD1のデータ、D20~D21を画像データD2のデータ、D30~D31を画像データD3のデータとして受け取り、いま、図20に示すように、データD00~D01が(10)、データD10~D11が(01)、データD20~D21が(01)、データD30~D31が(11)であるとする、その光出力波形は、図21に示すようになる。

【0087】したがって、画像データD0、D1、D *

10

* 2、D3のデータ量は、それぞれ2ビットでトータル4階調ずつとなるが、画像書込密度は4倍となり、主走査方向には、階調数は8ビットから2ビットに減少するが、書込密度が4倍になる。

【0088】上述書込周波数(画素クロックCLK)の各種設定によるで画像データ、パルス幅、光出力(パワー)及び1ドット当たりの階調数をまとめると、下の表のようになる。

【0089】

【表1】

書き込み周波数	データ	パルス幅	パワー	1ドットあたりの階調
F(1/T)	8bit	3bit	5bit	256階調
2F	4bit	2bit	2bit	16階調
4F	2bit	1bit	1bit	4階調
8F	1bit	ON, OFFの2値		2値

すなわち、画像形成装置10をプロッタや複写機等に適用した場合、画像を出力するのに、常に1ドット当たり8ビット階調(256階調)が必要なわけではなく、文字部などは基本的に2値出力である。

20

【0090】そこで、パルス幅生成・データ変調部11に入力する周波数選択データにより書込周波数(画素クロックCLK)を制御することにより、同じ画像データ量から主走査方向に異なった書込密度が得られる画像形成装置10を実現することができる。例えば、1ドット当たり8ビット階調の出力を行いたい場合には、画素クロックCLKを、F(MHz)とし、1ドット当たり4ビット階調の出力を行いたい場合には、画素クロックCLKを、2F(MHz)とし、1ドット当たり2ビット階調の出力を行いたい場合には、画素クロックCLKを、4F(MHz)とし、1ドット当たり2値の出力を行いたい場合には、画素クロックCLKを、8F(MHz)とすることにより、同じ画像データ量から主走査方向に異なった書込密度の得られる画像形成装置10を実現することができる。

30

【0091】なお、本実施の形態においては、説明のために、画素クロックCLKがF(MHz)の場合のパルス幅精度を3ビット、パワー精度を5ビットとしているが、パルス幅とパワーは、これに限るものではなく、どのようにパルス幅とパワーにデータを分割しても、適用することができる。

40

【0092】このように、本実施の形態によれば、出力したい階調数に合わせて、同じ画像データ量から高速に、かつ、適切にパルス幅変調及びパワー変調を行って、高品位の画像を高速に出力することができる。

【0093】図22は、本発明の画像形成装置の第2の実施の形態を示す図であり、本実施の形態は、周波数選択データをパルス幅生成・データ変調部と画像生成処理部に入力して、パルス幅生成・データ変調部と画像生成

50

処理部のレーザ光の走査を連動させることにより、より一層高速に画像形成を行うもので、請求項3に対応するものである。

【0094】本実施の形態は、上記第1の実施の形態と同様の画像形成装置に適用したものであり、第1の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0095】図22において、画像形成装置40は、パルス幅生成・データ変調部11、半導体レーザ駆動制御部12及び画像生成処理部41等を備えており、画像生成処理部41は、光源部42及びレーザ光走査部43等を備えている。

【0096】画像生成処理部41の光源部42は、基本原理で示した図2と同様の半導体レーザLD及び受光素子PD等を備えており、パルス幅生成・データ変調部11で生成された画像データパルスに基づいて半導体レーザ駆動制御部12により半導体レーザLDの駆動・制御が行われる。

【0097】画像生成処理部41のレーザ光走査部43は、半導体レーザLDの出射したレーザ光を主走査するポリゴンミラーやfθレンズその他の光学系及び感光体等のポリゴンスキヤナ等を備えており、レーザ光走査部43には、周波数選択データが入力されている。レーザ光走査部43は、詳しくは図示しないが、ポリゴンミラー等の回転速度が周波数選択データに対応して変化し、主走査方向の走査速度が周波数選択データに応じて変化する。

【0098】すなわち、画像生成処理部41は、本質的には、第1の実施の形態の画像生成処理部13と同様の構成であるが、画像生成処理部13の場合は、半導体レーザLDの主走査部が常に同じ速度(スピード)で主走査していたため、周波数選択データが変化すると、上述のように、主走査方向の書込密度がそれに応じて変化し

ていた。

【0099】ところが、画像生成処理部41は、そのレーザ光走査部43が、周波数選択データが変化した場合、主走査方向の書き込み密度は変化しないが、周波数選択データに応じて、その主走査方向の走査速度が変化する。

【0100】例えば、周波数選択データがF (MHz) から2F (MHz) に変化した場合、レーザ光走査部43のポリゴンミラーの回転速度が2倍に変化し、主走査速度が2倍に変化すると、1ドットの幅は同じであるが、例えば、1ドット8ビット階調をレーザ光走査速度Sで書き込みを行っていたものが、1ドット4ビット階調をレーザ光走査速度2Sで書き込みを行うようになる。また、例えば、上記表1に示した場合の1ドット2値を書き込むときには、レーザ光走査速度8Sで書き込むことができる。

【0101】すなわち、画像形成装置40をプリンタや複写機等に適用した場合、常に、1ドット当たり8ビット階調(256階調)が必要なわけではなく、文字部等は、基本的に2値出力である。

【0102】したがって、文字部等は、基本的に2値出力であるので、周波数選択データを8F (MHz) 等に変化させることにより、高速に出力することができるとともに、画像部などは、多値階調が要求されるので、周波数選択データを要求される階調に応じて、F (MHz) 等に変化させることにより、低速ではあるが、高品質の画像を出力することができる。

【0103】また、周波数選択データによりレーザ光走査部43のレーザ光走査速度を変化させる場合、通常は、レーザ光走査部43は、画像クロックのような高速なデータに追従して変化するわけではなく、周波数選択データが変化した後、一定時間経過してからレーザ光走査部43のレーザ光走査速度が所望の値となるので、コマンド入力モードを設定して、1ページ毎、例えば、画像データがあるかないかなどの情報により切り換えるなどすればよいが、レーザ光走査部43の追従性が良好な場合には、1ライン毎に、ディテクトパルスより書き込み開始信号までの時間にレーザ光走査部43のレーザ光走査速度を所望の値にして、自在に書き込み速度、階調を制御することができる。

【0104】なお、このコマンド入力モードによる処理については、後の実施の形態で詳細に説明する。

【0105】図23～図25は、本発明の画像形成装置の第3の実施の形態を示す図であり、本実施の形態は、位相選択データに基づいてパルス幅生成部の生成したパルスの位相を制御もので、請求項4に対応している。

【0106】本実施の形態は、上記第1の実施の形態と同様の画像形成装置に適用したものであり、第1の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0107】図23において、画像形成装置50は、パルス幅生成・データ変調部51、半導体レーザ駆動制御部12及び画像生成処理部13等を備えており、パルス幅生成・データ変調部51は、上記第1の実施の形態と同様のパルス幅生成部14とデータ変調部52等を備えている。

【0108】データ変調部52は、例えば、図24に示すように、位相選択回路53、PWM回路54、データ変調回路55及びカウンタ56等を備えており、カウンタ56に4ビットの位相選択データが入力されている。

【0109】カウンタ56は、入力される位相選択データをカウントして、そのカウント結果を位相選択回路53に出力し、位相選択回路53には、さらに、パルス幅生成部14から、上記同様に、画素クロックCLKをN倍するとともに画素クロックCLKと位相の同期したパルスが入力される。位相選択回路53は、カウント46から入力されるカウント結果に基づいて、パルス幅生成部14から入力されるパルスを遅延させて、すなわち、パルス幅変調して、PWM回路54に出力する。

【0110】PWM回路54には、パルス幅生成部14で画素クロックCLKがN倍され、かつ、位相選択回路53で遅延されたパルスが入力されるとともに、画像データの上位3ビットデータ(パルス幅変調データ)が入力され、PWM回路54は、画像データの上位3ビットであるパルス幅変調データに基づいて位相選択回路53から入力されるパルスのパルス幅を決定して、データ変調回路55に出力する。

【0111】データ変調回路55には、PWM回路54から上記パルス幅決定されたパルスと画像データの下位5ビット(パワー変調データ)が入力され、データ変調回路55は、このパワー変調データをPWM回路54から入力されるパルスに基づいてパルス幅変調して、結果として5ビットのパルス幅・パワー混合変調データ(画像データパルス)を図23に示した半導体レーザ駆動制御部12に出力する。

【0112】したがって、データ変調部52により、T/8パルス毎に、位相選択データに応じて、0～7T/8まで画素クロックCLKのオフセット量を設定することができ、このオフセット(シフト)した画素クロックCLKをパルス幅変調した後、パワー変調して5ビットのパルス幅・パワー混合変調データ(画像データパルス)を生成することができる。

【0113】その結果、本実施の形態の画像形成装置50によれば、図25に示すように、位相選択データがない場合(位相選択データ=0000の場合)、画像データの書き込みは、画像クロックCLKによって決定され、画像クロックCLK間を8等分するパルス幅PW0～PW7を画像データに基づいて選択して、光出力波形1のように、半導体レーザLDからレーザ光が出力される。

【0114】ところが、本実施の形態においては、パルス幅生成部14により周波数通倍された素クロックCLKのパルスが自在に生成できるので、位相選択データに従って、画像クロックCLKより数パルス遅れてから変調された画像データを出力することができる。

【0115】すなわち、半導体レーザLDの光出力波形は、位相選択データに応じて、図25に示す光出力波形2及び光出力波形3のように、画像クロックCLKより $T/8$ パルスずつシフトした出力、すなわち、画像を出力する際のオフセット量を与える出力を得ることができる。

【0116】なお、本実施の形態の場合、画像データの上位3ビットをパルス幅変調としているので、位相選択データを3ビット与えれば、オフセット量は、0、 $T/8$ パルス、 $2T/8$ パルス、・・・、 $7T/8$ パルスとすることができる。

【0117】このように、本実施の形態によれば、画素クロックCLKをN倍するとともに、位相同期させたパルスをパルス幅生成部14で高速に生成することができるので、このパルスを位相選択データにより、適宜移送調整して、出力することができる。

【0118】その結果、斜線等の画像をより一層高速に、かつ、高品位に形成することができる。

【0119】図26及び図27は、本発明の画像形成装置の第4の実施の形態を示す図であり、本実施の形態は、周波数調整及び位相調整の双方を行うもので、請求項2及び請求項4に対応するものである。

【0120】本実施の形態は、第3の実施の形態と同様の画像形成装置に適用したものであり、第3の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0121】図26は、第3の実施の形態の画像形成装置50と同様の画像形成装置に適用されたパルス幅生成・データ変調部60の詳細な回路ブロック図であり、パルス幅生成・データ変調部60は、パルス幅生成部14とデータ変調部61とを備えている。

【0122】パルス幅生成部14は、上記第3の実施の形態のものと同様のものであり、画素クロックCLKをN倍及び位相同期したパルスを、データ変調部61に出力する。

【0123】データ変調部61は、位相選択回路53、PWM回路54、データ変調回路55、カウンタ56及びデータ制御・位置制御回路62等を備えている。

【0124】カウンタ56には、第3の実施の形態と同様に、4ビットの位相選択データが入力されており、カウンタ56は、入力される位相選択データをカウントして、そのカウント結果をパルスのオフセット値として位相選択回路53に出力する。

【0125】位相選択回路53には、さらに、パルス幅生成部14から画素クロックCLKをN倍及び位相同期

したパルスが入力され、位相選択回路53は、上記第3の実施の形態の場合と同様に、カウンタ46から入力されるカウント結果に基づいて、パルス幅生成部14から入力されるパルスを遅延（オフセット）させて、PWM回路54に出力する。

【0126】データ制御・位置制御回路62には、8ビットの画像データ、2ビットの位置選択データ及び2ビットの周波数選択データが入力され、データ制御・位置制御回路62は、画像データを位置選択データ及び周波数選択データに基づいて画像データを位置調整及び周波数調整して、データ変調回路55に出力する。

【0127】すなわち、データ制御・位置制御回路62は、画像データの低位5ビットをパワー変調データとしてデータ変調回路55に出力するとともに、上位3ビットを位置選択データに基づいて、そのデータ配列の設定を行い、かつ、周波数選択データに応じて、そのデータのビット構成を調整して、パルス幅変調データとしてPWM回路54に出力する。

【0128】PWM回路54には、パルス幅生成部14で画素クロックCLKをN倍及び位相同期され、かつ、位相選択回路53で遅延されたパルスが入力されるとともに、2ビットの周波数選択データとデータ制御・位置制御回路62から上記3ビットのパルス幅変調データが入力され、PWM回路54は、パルス幅変調データと周波数選択データに基づいて位相選択回路53から入力されるパルスのパルス幅を決定して、データ変調回路55に出力する。

【0129】データ変調回路55には、PWM回路54から上記パルス幅決定されたパルスと画像データの低位5ビットのパワー変調データが入力され、データ変調回路55は、このパワー変調データをPWM回路54から入力されるパルスに基づいてパルス幅変調して、結果として5ビットのパルス幅・パワー混合変調データ（画像データパルス）を図23に示した半導体レーザ駆動制御部12に出力する。

【0130】したがって、本実施の形態においては、周波数選択データ及び位相選択データに基づいて、半導体レーザLDを出射するパルスの周波数及び位相を制御することができるとともに、位置選択データによりパルスを、例えば、左寄せ、右寄せ、あるいは、中央寄せ等に制御することができる。

【0131】すなわち、図25に示したように、位相選択データがない場合、画像データの書き込みは、画像クロックCLKによって決定され、画像クロックCLK間を8等分するパルス幅PW0～PW7を画像データにより選択し、光出力波形1のように、位相のシフトを行うことなく半導体レーザLDからレーザ光が出力される。そして、位相選択データの値に応じて、半導体レーザLDの光出力波形は、図25に光出力波形2及び光出力波形3として示すように、画像クロックCLKにより $T/$

8パルスずつシフトした出力、すなわち、画像を出力する際のオフセット量を与える出力を得ることができる。

【0132】また、周波数選択データの値に応じて、パルス幅が変化する。例えば、周波数選択データが(01)で、画素クロックCLKとして2F(MHz)を選択すると、1ドット当たりのパルス幅は、図27に示すように、2ビット(4値)となり、このパルス幅のドットが、位相選択データの値に応じて、図27に位相選択データ(0000)の場合と、位相選択データ(0101)の場合について示すように、位相がシフトした状態、すなわち、オフセットされた状態となる。

【0133】なお、上述のように、本実施の形態においては、画素クロックCLKを2F(MHz)とすると、1ドット当たりのパルス幅は、2ビット(4値)必要とするので、オフセット設定可能値としても2ビットずつとなり、位相選択データは、4ビット必要となる。これは、画素クロックCLKを2F(MHz)にする場合だけでなく、例えば、4F(MHz)とする場合にも、1ドット当たりのパルス幅を1ビット(2値)ずつ所有し、オフセット設定可能値としても、1ビットずつとなるので、位相選択データとしては、4ビット必要となる。したがって、位相選択データと周波数選択データを用いて、位相制御と周波数制御を行う場合には、位相選択データのデータ幅として4ビット設定しておくことが有効である。このように、本実施の形態によれば、パルス幅生成部14により周波数通倍されたされた画素クロックCLKのパルスを自在に、かつ、高速に生成できるので、周波数選択データに応じて階調数とドット密度を自在に調整することができるとともに、位相選択データにより、パルスの位相を自在に調整して、ドットを形成するオフセット量を自在に調整することができ、より一層高品位な画像を、高速に形成することができる。

【0134】図28～図29は、本発明の画像形成装置の第5の実施の形態を示す図であり、本実施の形態は、パルス幅生成・データ変調部によりシェーディング補正を行うもので、請求項5に対応するものである。

【0135】本実施の形態は、上記第4の実施の形態と同様の画像形成装置及びパルス幅生成・データ変調部に適用したものであり、本実施の形態の説明において、上記第4の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0136】本実施の形態のパルス幅生成・データ変調部70は、上記同様のパルス幅生成部14とデータ変調部71を備えており、データ変調部71は、位相選択回路53、PWM回路54、データ変調回路55、カウンタ56、データ制御・位置制御回路62、カウンタ72及びメモリ73等を備えている。

【0137】カウンタ72には、書込開始データが入力され、カウンタ72は、書込開始データをカウントして、そのカウント値をメモリ73に出力する。

【0138】データ制御・位置制御回路62は、例えば、図示しない白基準板を読み取るタイミングで当該読み取った際の画像データをシェーディング補正データとしてメモリ73に出力し、メモリ73は、このデータ制御・位置制御回路62から入力されるシェーディング補正データを記憶する。

【0139】そして、メモリ73は、通常の前稿の画像データの処理時に上記記憶したシェーディング補正データを、カウンタ72から入力されるカウント値だけ、すなわち、書込開始タイミングに合わせて、データ変調回路55に出力する。

【0140】データ変調回路55には、上記第4の実施の形態と同様に、PWM回路54からパルス幅変調されたパルスとデータ制御・位置制御回路62から画像データの低位5ビットのパワー変調用データが入力されるとともに、上記メモリ73からシェーディング補正データが入力され、データ変調回路55は、パワー変調用データをPWM回路31から入力されるパルスに基づいてパルス幅変調するとともに、シェーディング補正データに基づいてシェーディング補正して、結果として5ビットのパルス幅・パワー混合変調データ(画像データパルス)を半導体レーザ駆動制御部12に出力する。

【0141】すなわち、半導体レーザLDを書き込み光に用いるプリンタやデジタル複写機等の画像形成装置50等においては、レーザ光は、ポリゴンミラーやfθレンズを介して感光体表面上を走査するが、ポリゴンミラーにおいては、反射角が異なると、S偏光とP偏光の反射率が変化することや、fθレンズを介する場合には、その中心部をレーザ光が透過する場合と中心を外れた部分をレーザ光が透過する場合によって透過率が変化する等の原因により、画像データ領域内で光量のずれを生じる。

【0142】この感光体上の光量のずれは、一般に、図29(a)に実線で示すように、画像データ領域の中心からずれるほど、光量が小さくなる傾向にある。

【0143】この感光体上における光量のずれを補償するために、図25(b)に示すように、半導体レーザLDの光量を変化させるシェーディング補正を行うことが、従来から行われており、パルス幅生成・データ変調部70では、このシェーディング補正を、メモリ73に記憶したシェーディング補正データに基づいて、データ変調回路55により行っている。

【0144】例えば、パルス幅生成・データ変調部11において、周波数選択データにより画素クロックCLKをF(MHz)とする場合、パワー変調部61は、5ビットをフルに使用するので、シェーディング補正を行うことはできないが、周波数選択データにより画素クロックCLKを、例えば、2F(MHz)とする場合には、パワー変調部61は、その処理に2ビットあればよいので、低位3ビット分、すなわち、フルパワーの25%分

を3ビット階調でシェーディング補正を行うことができる。

【0145】この場合、カウンタ72は、書込開始データをカウントして、そのカウント数により書込位置を決定して、その書込開始位置を決定するカウント数（データ）をメモリ63に出力し、メモリ73は、その記憶しているシェーディング補正データを書込開始位置に合わせてデータ変調回路55に入力する。

【0146】いま、周波数選択データにより画素クロックCLKを、例えば、4F（MHz）にするものとする
10 と、パワー変調部61は、1ビットあればよいので、フルパワーの50%分を4ビット階調でシェーディング補正することができ、また、画素クロックCLKを、例えば、8F（MHz）とする場合には、フルパワーの100%分を5ビット階調でシェーディング補正することができる。

【0147】したがって、高速書込を行う場合や主走査方向に高密度書込を行う場合には、上記シェーディング補正を行うことができ、図29（a）に破線で示すように、
20 感光体表面における光量を均一にして、画像品質をより一層向上させることができる。

【0148】なお、画像データ幅をさらに広げることにより、画素クロックCLKがF（MHz）の場合にも、上記シェーディング補正を行うことができるが、その場合には、パルス幅変調部14のデータ幅を増やすとともに、パワー変調部61のデータ幅を減らし、上記シェーディング補正がせいぜい10%程度は補償できる設定にすることが望ましい。

【0149】図30は、本発明の画像形成装置の第6の実施の形態を示す図であり、本実施の形態は、コマンド
30 入力モードを設定して、パルスの位置選択を可能としたもので、請求項6に対応するものである。

【0150】本実施の形態は、上記第5の実施の形態と同様の画像形成装置及びパルス幅生成・データ変調部に適用したものであり、本実施の形態の説明においては、上記第5の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略する。

【0151】図30において、パルス幅生成・データ変調部80は、パルス幅生成部14とデータ変調部81を備えており、データ変調部81は、位相選択回路53、
40 PWM回路54、データ変調回路55、カウンタ56、データ制御・位置制御回路62、カウンタ72、メモリ73及びコマンド制御回路82等を備えている。

【0152】コマンド制御回路82には、コマンド選択信号及び8ビットの画像データが入力されており、コマンド選択信号は、コマンド入力モードと画像モードを示す信号である。

【0153】コマンド制御回路82は、コマンド選択信号によりコマンド入力モードと画像モードを判別し、コマンド選択信号がコマンド入力モードを示していると、
50

画像データをコマンドデータとして解釈して、コマンドを実行する。

【0154】本実施の形態においては、このコマンド入力モードの画像データにパルスの位置、すなわち、左寄せ、右寄せ、あるいは、中央寄せを示す位置選択データが設定されており、コマンド制御回路82は、コマンド入力モードにおいて位置選択データが画像データに設定されて入力されと、位置選択データから左寄せ、右寄せ、あるいは、中央寄せを判別して、位置選択データの示す内容に対応するオフセットデータを、位相選択回路53、データ制御・位置制御回路62及びデータ変調回路55に出力する。

【0155】位相選択回路53は、上記同様に、パルス幅生成部14から入力されるパルスを、カウンタ56から入力された位相を指定するカウント値に基づいて位相を選択するとともに、コマンド制御回路82から入力されるオフセットデータに基づいて、オフセットしたパルスをPWM回路54に出力する。

【0156】データ制御・位置制御回路62は、上述のように、画像データを位置調整及び周波数調整し、その下位5ビットをパワー変調用データとしてデータ変調回路55に出力するとともに、位置調整及び周波数調整された画像データの上位3ビットをパルス幅変調用データとしてPWM回路54に出力する。

【0157】PWM回路54は、周波数選択データ及びデータ制御・位置制御回路62から入力されるパルス幅変調用データに基づいて、位相選択回路53から入力されるパルスのパルス幅を決定して、データ変調回路55に出力する。

【0158】データ変調回路55は、データ制御回路・位置制御回路52から入力されるパワー変調用データを、PWM回路54から入力されるパルスとコマンド制御回路82から入力されるオフセットデータに基づいて変調して、5ビットのパルス幅・パワー混合変調データとして半導体レーザ駆動制御部12に出力する。

【0159】したがって、本実施の形態によれば、パルスを各ドット毎に、右端を基準とする右寄せのパルス（図2及び図3参照）、ドットの中央を基準として大きくなっていく中央寄せパルス及び左端を基準とする左寄せパルスを、位置選択データにより、容易に生成することができ、形成する画像に応じて位置選択データを適宜設定することにより、より一層高品位の画像を高速に形成することができる。

【0160】図31は、本発明の画像形成装置の第7の実施の形態を示す図であり、本実施の形態は、上記第6の実施の形態のコマンド入力モードの処理を容易に行うもので、請求項7に対応するものである。

【0161】本実施の形態は、上記第6の実施の形態と同様の画像形成装置のパルス幅生成・データ変調部に適

用したものであり、第6の実施の形態と同様の構成部分には、同一の符号を付して、その詳細な説明を省略するとともに、第6の実施の形態の各部をそのままの符号を用いて、適宜引用しつつ、以下説明する。

【0162】図31において、パルス幅生成・データ変調部90は、パルス幅生成部14、バッファメモリ91、データ制御・位置制御回路92、パルス開始回路93及びパルス終了回路94等を備えるとともに、図示しないが第6の実施の形態のPWM回路54、データ変調回路55、データ制御・位置制御回路62、カウンタ72及びメモリ73等を備えている。

【0163】バッファメモリ91には、コマンド入力モード時には、オフセットデータが入力され、バッファメモリ91は、入力されるオフセットデータを記憶して、画像データ入力モード時にデータ制御・位置制御回路92に出力する。通常、このオフセットデータは、せいぜい2〜3ドット程度であるので、バッファメモリ91は、2〜4バイト(Byte)程度の容量で十分である。

【0164】データ制御・位置制御回路92には、画像データ入力モード時、上記バッファメモリ91からのオフセットデータが入力されるとともに、書込開始データ及び画像データが入力され、データ制御・位置制御回路92は、書込開始データ(信号)にオフセットデータ(オフセット量)を加えることにより、書き込み開始位置を設定して、開始信号をパルス開始回路93に出力するとともに、画像データのパルス数をカウントして、画像データの終了タイミングで終了信号をパルス終了回路94に出力する。

【0165】パルス開始回路93には、上記データ制御・位置制御回路92から開始信号が入力されるとともに、パルス幅生成部14から画素クロックCLKに位相同期するとともにN倍されたパルスが入力され、パルス開始回路93は、データ制御・位置制御回路92から開始信号が入力されるとアクティブになって、パルス幅生成部14から入力されるパルスをPWM回路54及びパルス終了回路94に出力する。

【0166】パルス終了回路94には、上記データ制御・位置制御回路92からの終了信号、パルス開始回路93からのパルス及びパルス幅生成部14からのパルスが入力され、パルス終了回路94は、パルス開始回路93からパルスが入力されると、アクティブになって、パルス幅生成部14からのパルスをPWM回路54に出力するとともに、データ制御・位置制御回路92から終了信号が入力されると、パルスの出力を停止する。

【0167】すなわち、本実施の形態のパルス幅生成・データ変調部90は、1ライン毎に、ディテクトパルス(同期パルス)から書込開始信号までの時間にコマンド入力モードを設定して、オフセットデータをバッファメモリ91に蓄え、画像データ入力モード時に、データ制

御・位置制御回路92が、上記位置選択データや周波数選択データに基づいて生成されるパルス幅のスタートを決定する開始信号とエンドを決定する終了信号を、次式により設定して、パルス開始回路93及びパルス終了回路94からこの開始信号と終了信号に同期させたパルスを出力させる。

【0168】 $start$ (開始信号) = $0 + offset$ (オフセット量)

end (終了信号) = $value + offset$ (オフセット量)

ここで、 $value$ は、データ制御・位置制御回路92が画像データ入力モード時に入力される画像データから取得した画像データのデータ量を意味する。

【0169】したがって、周波数選択データにより画素クロックCLKをF(MHz)とする場合、パルス幅変調は、3ビット(8値)であるので、それぞれ開始信号、終了信号に「8」を加算して出力して、パルス開始回路93及びパルス終了回路94により、順次、パルスのスタート、エンドを決定して、PWM回路54に出力する。

【0170】また、周波数選択データにより画素クロックCLKが異なる場合には、そのパルス幅変調の階調数が、順次パルスのスタート、エンドに加算される。

【0171】このように、本実施の形態によれば、開始信号により、パルスが開始して、終了信号によりパルスが終了するパルスが、画素クロックCLKのクロック幅の制約を受けることなく生成することができ、例えば、1ライン毎あるいは1ページ毎にディテクトパルス(同期パルス)から書込開始信号までの時間に、コマンド入力モードを設定して、パルス位置の制御を容易に行うことができる。

【0172】その結果、画像に合わせて、パルス位置を制御することにより、斜線等の画像の品質をより一層向上させることができる。

【0173】なお、本実施の形態においては、コマンド入力モード時に、オフセット量をバッファメモリ91に蓄えることにより、パルスの位置調整を行っているが、オフセット量を蓄えるものとしては、バッファメモリ91に限るものではなく、例えば、図28あるいは図30と同様にカウンタ等にオフセット量を蓄えてもよい。

【0174】以上、本発明者によってなされた発明を好適な実施の形態に基づき具体的に説明したが、本発明は上記のものに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0175】

【発明の効果】請求項1記載の発明の画像形成装置によれば、半導体レーザを安定したパルス幅変調を基調として、光強度変調でその移り変わり部分を補間するための複数の位相を有するパルスをPLLを用いて生成するこ

とができ、高品質の画像を、高速に形成することができる。

【0176】請求項2記載の発明の画像形成装置によれば、周波数選択データによりパルス幅を指定することにより、階調数と書込密度を容易に制御することができ、画像の内容に対応した適切で、高品質の画像を高速に形成することができる。

【0177】請求項3記載の発明の画像形成装置によれば、周波数選択データによりパルス幅を指定することにより、階調数と書込速度を容易に制御することができ、10 画像内容に対応して、高階調度の高品質の画像を形成することができるとともに、階調度が低くなるに従って書込速度を向上させることができる。

【0178】請求項4記載の発明の画像形成装置によれば、位相選択データによりパルスの位相、すなわち、発生開始位置をシフトさせることができ、形成する画像に適したドット位置にドットを形成することができる。その結果、斜線等の画像をより一層高品質に、かつ、高速に形成することができる。

【0179】請求項5記載の発明の画像形成装置によれば、高速に、かつ、適切にシェーディング補正を行うことができ、画像品質をより一層向上させることができる。

【0180】請求項6記載の発明の画像形成装置によれば、位置選択データにより指定した位置を基準に各ドット内でパルスを発生させることができ、形成する画像に適した位置から画像に適した方向にドットを形成することができる。その結果、斜線等の画像をより一層高品質に、かつ、高速に形成することができる。

【0181】請求項7記載の発明の画像形成装置によれば、簡単な回路構成で、1ページ毎あるいは1ライン毎に位置選択データによりパルスの各ドット内での基準位置を指定して、画像を形成することができ、安価に、かつ、容易に高品質の画像を形成することができる。

【図面の簡単な説明】

【図1】本発明の基本原理を説明するための画像形成装置の一例を示すブロック構成図。

【図2】図1の半導体レーザ駆動制御部と画像生成処理部の回路構成図。

【図3】光電気負帰還ループ制御のみの場合(a)と順方向電流制御と電気負帰還ループ制御を組み合わせた場合(b)の光強度の制御状態を示す図。

【図4】図1の画像形成装置によりパルス幅変調及びパワー変調された光波形とドットイメージを示す図。

【図5】図4の光波形の左寄せの場合(a)と右寄せの場合(b)の拡大図。

【図6】本発明の画像形成装置の第1の実施の形態を適用した画像形成装置のブロック構成図。

【図7】図6のパルス幅発生部の一例の回路構成図。

【図8】図7のマルチプレクサから出力される画像デー

タパルスPW0'～PW7'を示す図。

【図9】図6のパルス発生部により最終的に生成される画像データパルスPW0～PW7を示す図。

【図10】図6のパルス幅発生部のPLLを用いた場合の他の例の回路構成図。

【図11】図6のデータ変調部の一例の回路構成図。

【図12】図11の周波数選択データが画素クロックCLKをF(MHz)を選択する場合の画像データの構成を示す図。

【図13】図12の画像データに対応する光出力とドットイメージを示す図。

【図14】図12の画像データの一例を示す図。

【図15】図14の画像データの場合の光出力の拡大説明図。

【図16】図11の周波数選択データが画素クロックCLKを2F(MHz)を選択する場合の画像データの構成を示す図。

【図17】図16の画像データに対応する光出力とドットイメージを示す図。

【図18】図16の画像データの一例を示す図。

【図19】図18の画像データの場合の光出力の拡大説明図。

【図20】図11の周波数選択データが画素クロックCLKを4F(MHz)を選択する場合の画像データの構成とその内容の一例を示す図。

【図21】図20の画像データに対応する光出力の拡大説明図。

【図22】本発明の画像形成装置の第2の実施の形態を適用した画像形成装置のブロック構成図。

【図23】本発明の画像形成装置の第3の実施の形態を適用した画像形成装置のブロック構成図。

【図24】図23のパルス幅生成・データ変調部の詳細なブロック構成図。

【図25】図24の位相選択データが種々変化する場合の光出力と画像データパルスPW0～PW7を示す図。

【図26】本発明の画像形成装置の第4の実施の形態を適用した画像形成装置のパルス幅生成・データ変調部のブロック構成図。

【図27】図26の周波数選択データが画素クロックCLKの2F(MHz)を選択し、位相選択データが「0000」と「0101」の場合の光出力と画像データパルスPW0～PW7を示す図。

【図28】本発明の画像形成装置の第5の実施の形態を適用した画像形成装置のパルス幅生成・データ変調部のブロック構成図。

【図29】シェーディング補正前後の感光体表面における光量を示す図(a)と、シェーディング補正された半導体レーザの光量を示す図(b)。

【図30】本発明の画像形成装置の第6の実施の形態を適用した画像形成装置のパルス幅生成・データ変調部の

ブロック構成図。

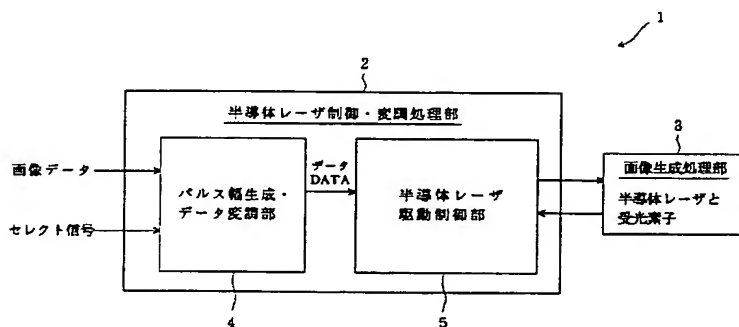
【図 3 1】本発明の画像形成装置の第 7 の実施の形態を適用した画像形成装置のパルス幅生成・データ変調部の要部ブロック構成図。

【符号の説明】

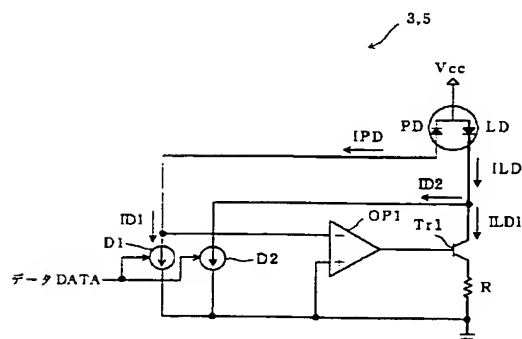
- 1 0、4 0、5 0 画像形成装置
1 1、9 0、5 1、6 0、7 0、8 0、9 0 パルス幅
生成・データ変調部
1 2 半導体レーザ駆動制御部
1 3、4 1 画像生成処理部
1 4 パルス幅生成部
1 5 データ変調部
2 0 P L L
2 1 位相比較器
2 2 ローパスフィルタ
2 3 電圧制御発振器
2 4 1/N分周器
3 1 P W M回路
3 2 データ制御回路
3 3 データ変調回路
4 2 光源部

- 4 3 レーザ光走査部
5 2、6 1、7 1、8 1 データ変調部
5 3 位相選択回路
5 4 PWM回路
5 5 データ変調回路
5 6、7 2 カウンタ
6 2、9 2 データ制御・位置制御回路
7 3 メモリ
8 1 コマンド制御回路
10 9 1 バッファメモリ
9 3 パルス開始回路
9 4 パルス終了回路
LD 半導体レーザ
PD 受光素子
FF 1～FF 7 Dフリップフロップ
DL 1～DL 7 遅延回路
MP マルチプレクサ
CLK 画素クロック
D 0～D 7 画像データ
20 PW 0' ～PW 7'、PW 0～PW 7 画像データパルス

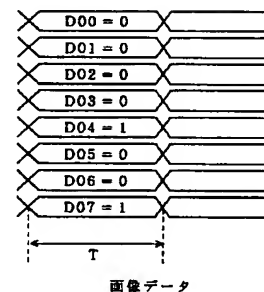
【图 1】



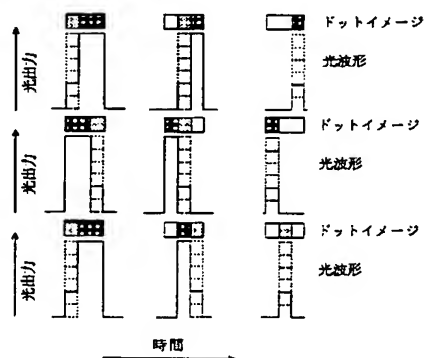
【图2】



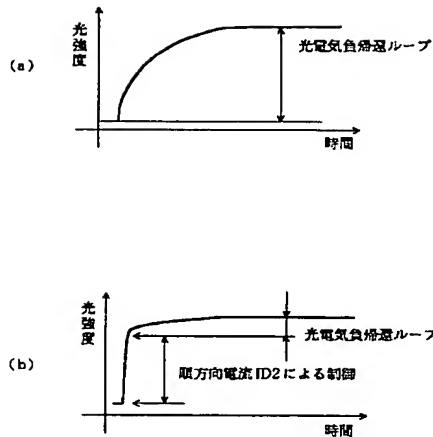
【图 14】



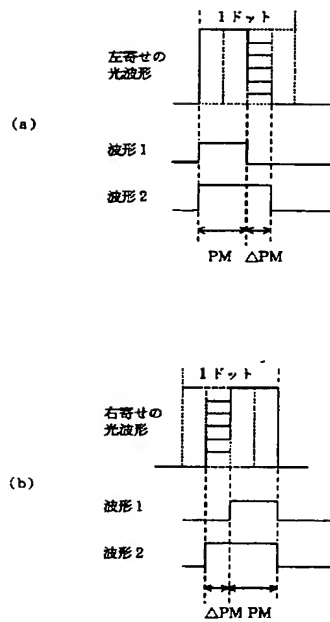
【图4】



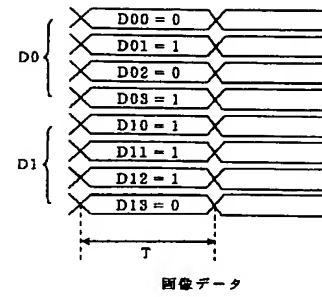
【図3】



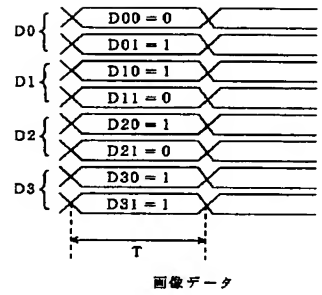
【図5】



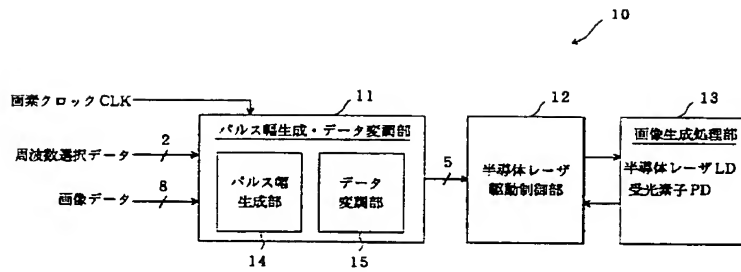
【図18】



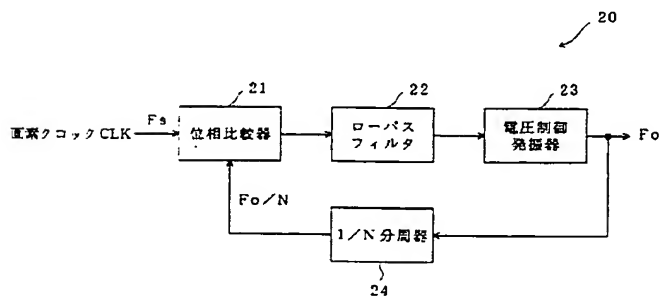
【図20】



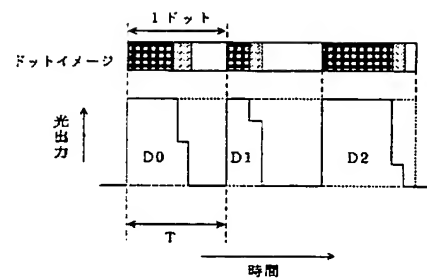
【図6】



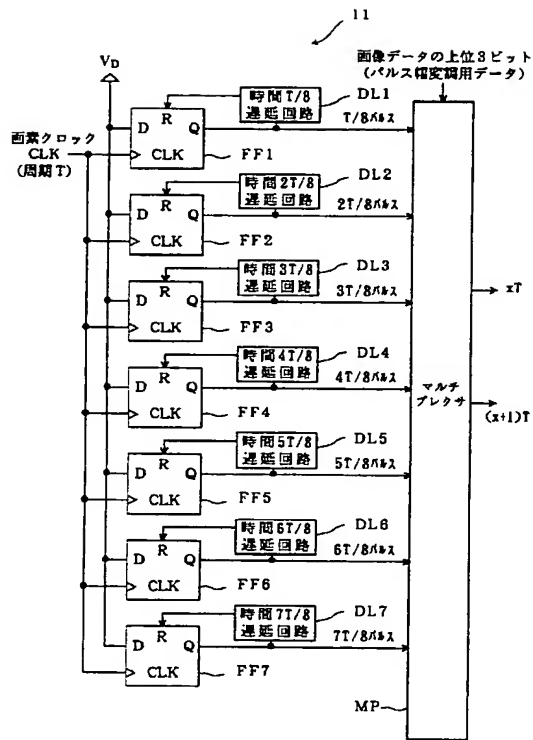
【図10】



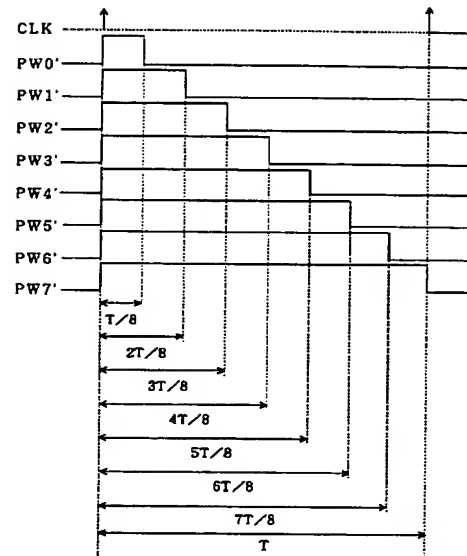
【図13】



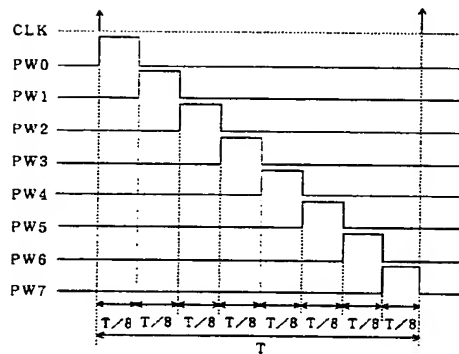
【図7】



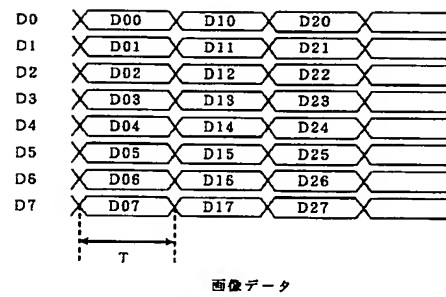
【図8】



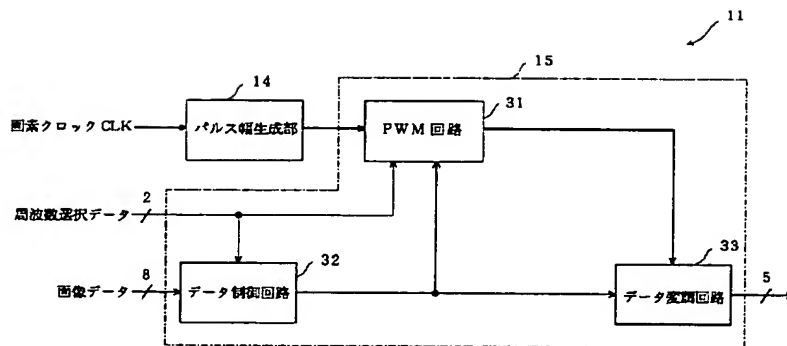
【図9】



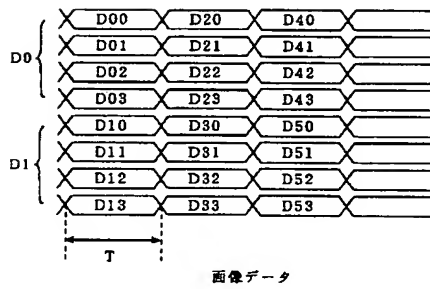
【図12】



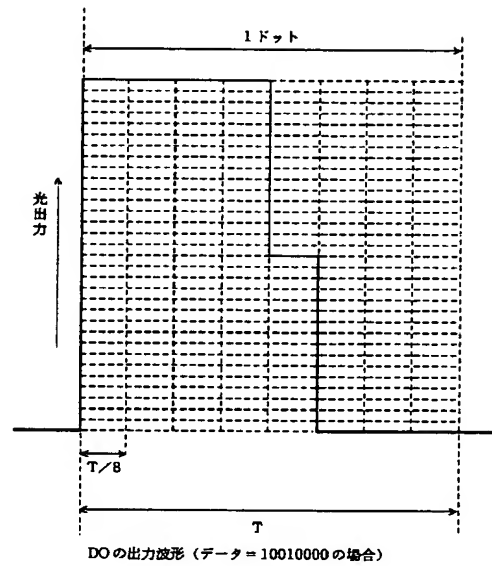
【図11】



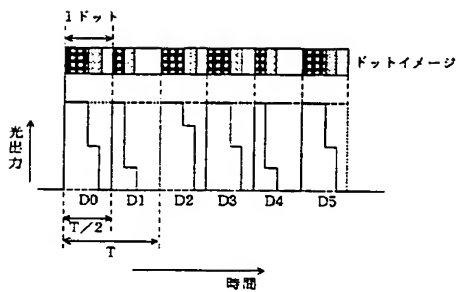
【図16】



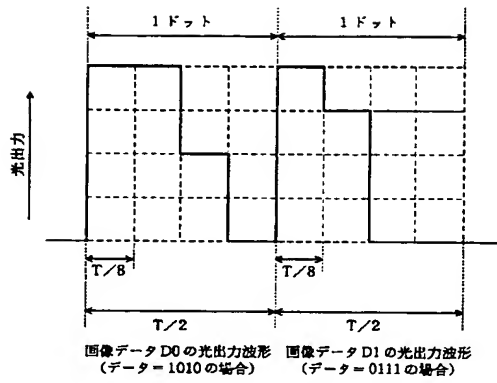
【図15】



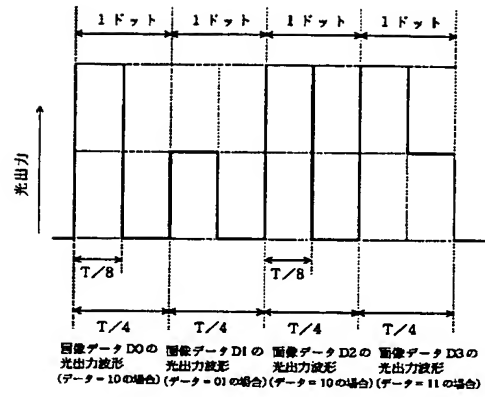
【図17】



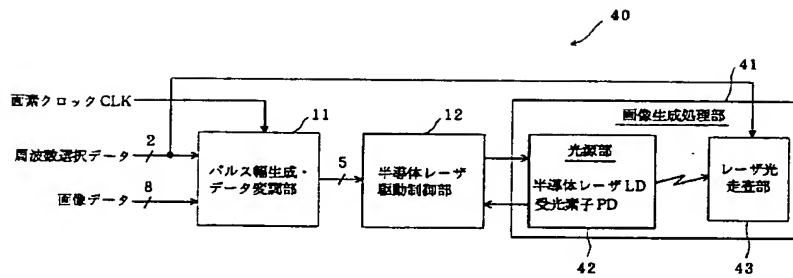
【図19】



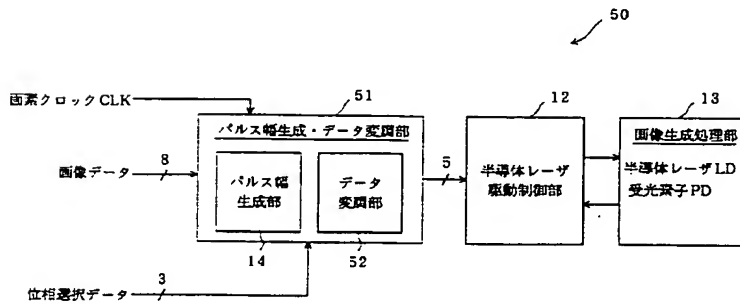
【図21】



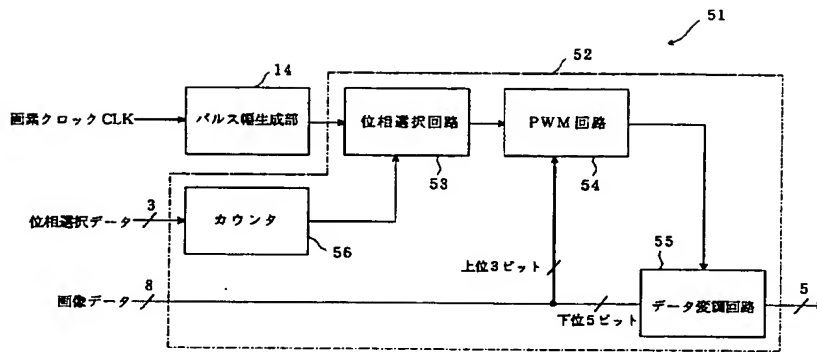
【図22】



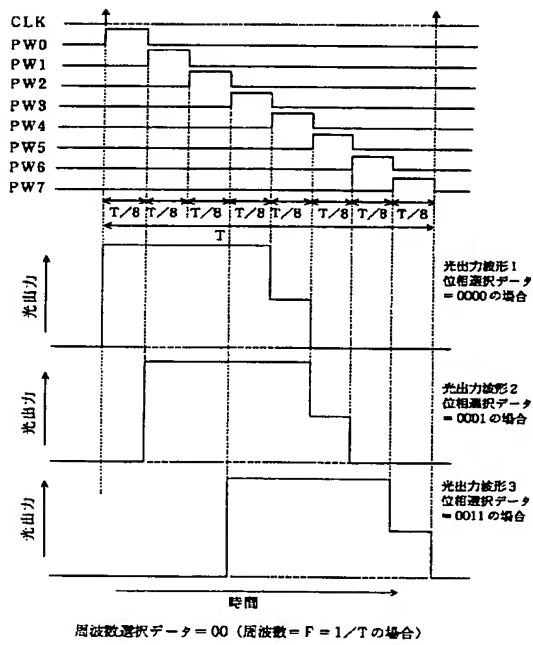
【図23】



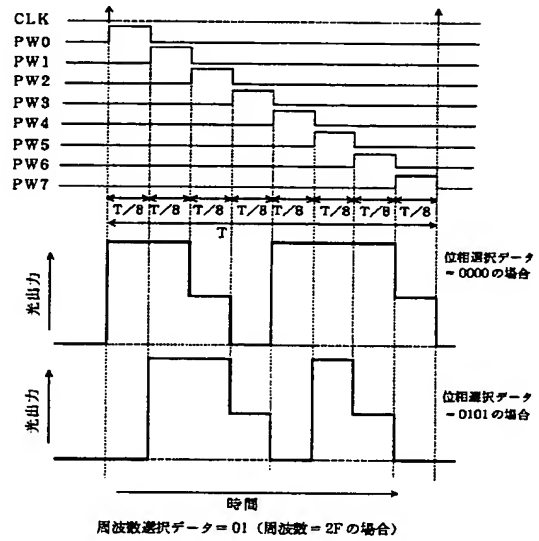
【図24】



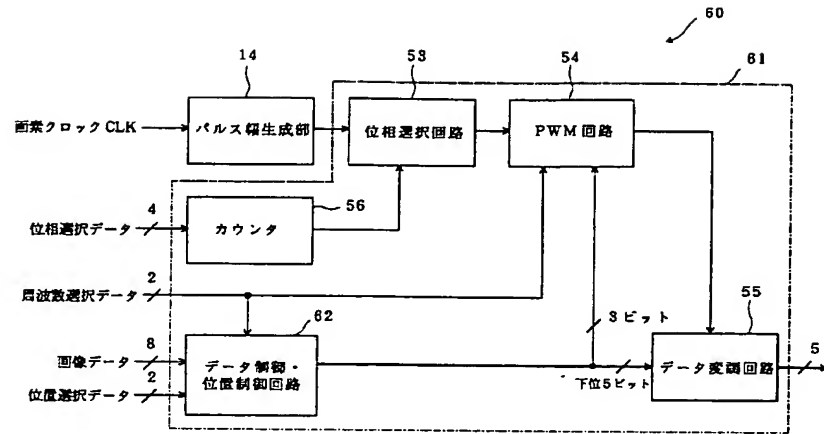
【図25】



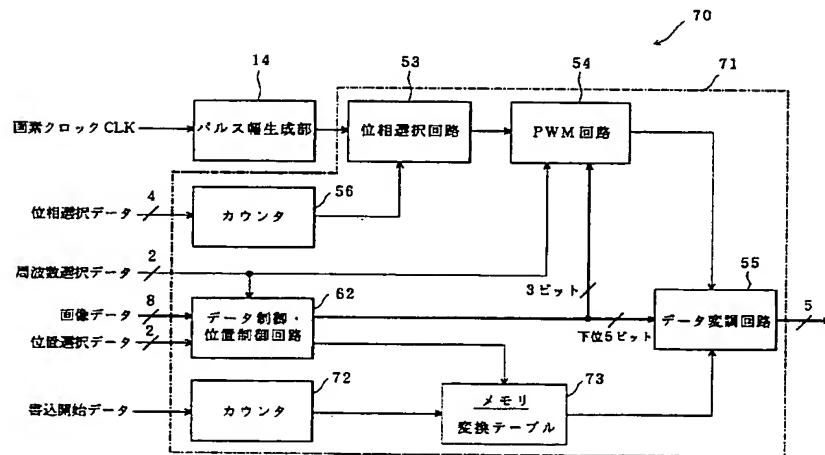
【図27】



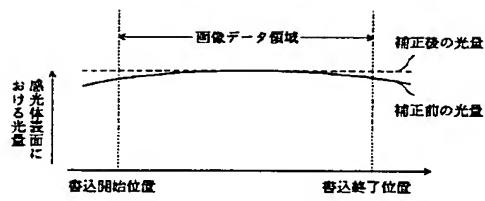
【図26】



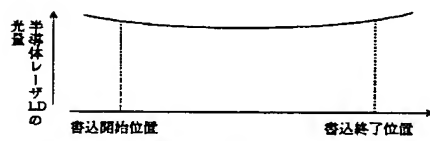
【図28】



【図29】

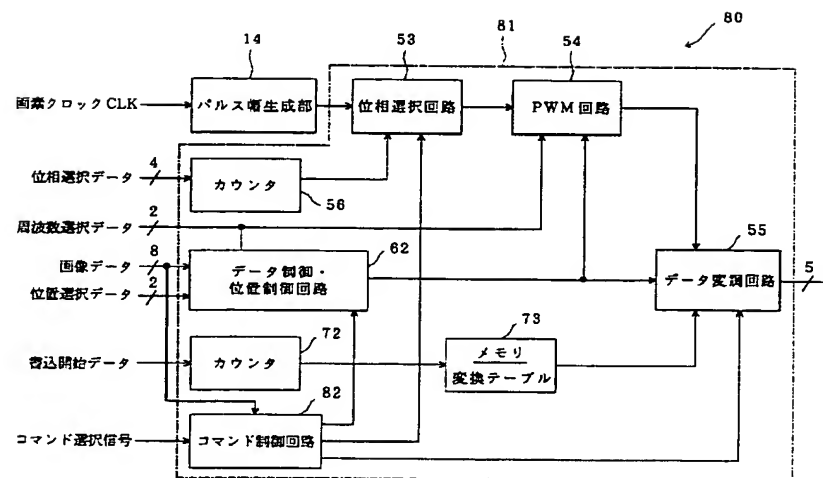


(a)



(b)

【図30】



【図31】

